

## PATENT COOPERATION TREATY

From the INTERNATIONAL BUREAU

PCT

## NOTIFICATION OF ELECTION

(PCT Rule 61.2)

To:

Assistant Commissioner for Patents  
United States Patent and Trademark  
Office  
Box PCT  
Washington, D.C. 20231  
ETATS-UNIS D'AMERIQUE

in its capacity as elected Office

Date of mailing:

10 August 2000 (10.08.00)

International application No.:

PCT/JP00/00584

Applicant's or agent's file reference:

NEC00P010-si

International filing date:

03 February 2000 (03.02.00)

Priority date:

03 February 1999 (03.02.99)

Applicant:

KUMURA, Takahiro

1. The designated Office is hereby notified of its election made:



in the demand filed with the International preliminary Examining Authority on:

03 February 2000 (03.02.00)



in a notice effecting later election filed with the International Bureau on:

2. The election ☒ was

was not

made before the expiration of 19 months from the priority date or, where Rule 32 applies, within the time limit under Rule 32.2(b).

The International Bureau of WIPO  
34, chemin des Colombettes  
1211 Geneva 20, Switzerland

Facsimile No.: (41-22) 740.14.35

Authorized officer:

J. Zahra

Telephone No.: (41-22) 338.83.38

**THIS PAGE BLANK (USPTO)**

47  
Translation

PATENT COOPERATION TREATY

PCT

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

Applicant's or agent's file reference NEC00P010-si	<b>FOR FURTHER ACTION</b> See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/JP00/00584	International filing date ( <i>day/month/year</i> ) 03 February 2000 (03.02.00)	Priority date ( <i>day/month/year</i> ) 03 February 1999 (03.02.99)
International Patent Classification (IPC) or national classification and IPC G06F 17/10		
Applicant NEC CORPORATION		

<p>1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.</p> <p>2. This REPORT consists of a total of <u>3</u> sheets, including this cover sheet.</p> <p><input type="checkbox"/> This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).</p> <p>These annexes consist of a total of _____ sheets.</p>	
<p>3. This report contains indications relating to the following items:</p> <p>I <input checked="" type="checkbox"/> Basis of the report</p> <p>II <input type="checkbox"/> Priority</p> <p>III <input type="checkbox"/> <del>Non-establishment of opinion with regard to novelty, inventive step and industrial applicability</del></p> <p>IV <input type="checkbox"/> Lack of unity of invention</p> <p>V <input checked="" type="checkbox"/> Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement</p> <p>VI <input type="checkbox"/> Certain documents cited</p> <p>VII <input type="checkbox"/> Certain defects in the international application</p> <p>VIII <input type="checkbox"/> Certain observations on the international application</p>	

Date of submission of the demand 03 February 2000 (03.02.00)	Date of completion of this report 31 October 2000 (31.10.2000)
Name and mailing address of the IPEA/JP	Authorized officer
Facsimile No.	Telephone No.

**THIS PAGE BLANK (USPTO)**

## INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP00/00584

## I. Basis of the report

## 1. With regard to the elements of the international application:\*

- ☒ the international application as originally filed
- ☐ the description:  
pages \_\_\_\_\_, as originally filed  
pages \_\_\_\_\_, filed with the demand  
pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_
- ☐ the claims:  
pages \_\_\_\_\_, as originally filed  
pages \_\_\_\_\_, as amended (together with any statement under Article 19  
pages \_\_\_\_\_, filed with the demand  
pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_
- ☐ the drawings:  
pages \_\_\_\_\_, as originally filed  
pages \_\_\_\_\_, filed with the demand  
pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_
- ☐ the sequence listing part of the description:  
pages \_\_\_\_\_, as originally filed  
pages \_\_\_\_\_, filed with the demand  
pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_

2. With regard to the **language**, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item.

These elements were available or furnished to this Authority in the following language \_\_\_\_\_ which is:

- ☐ the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
- ☐ the language of publication of the international application (under Rule 48.3(b)).
- ☐ the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

3. With regard to any **nucleotide and/or amino acid sequence** disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- ☐ contained in the international application in written form.
- ☐ filed together with the international application in computer readable form.
- ☐ furnished subsequently to this Authority in written form.
- ☐ furnished subsequently to this Authority in computer readable form.
- ☐ The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
- ☐ The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

4. ☐ The amendments have resulted in the cancellation of:

- ☐ the description, pages \_\_\_\_\_
- ☐ the claims, Nos. \_\_\_\_\_
- ☐ the drawings, sheets/fig \_\_\_\_\_

5. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).\*\*

\* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

\*\* Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

**THIS PAGE BLANK (USPTO)**

## INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP00/00584

**V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement**

## 1. Statement

Novelty (N)	Claims	1-16	YES
	Claims		NO
Inventive step (IS)	Claims	1-16	YES
	Claims		NO
Industrial applicability (IA)	Claims	1-16	YES
	Claims		NO

## 2. Citations and explanations

## Claims 1-16

The constituent features of the signal processor disclosed in the claims that has a rounding function are neither disclosed in any of the cited documents nor considered to be obvious to a person skilled in the art.

**THIS PAGE BLANK (USPTO)**



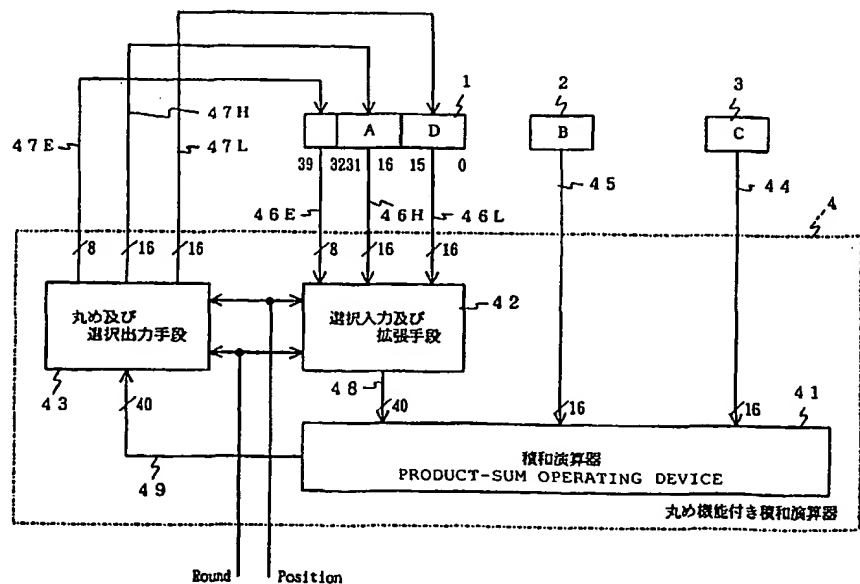
(31) 国際特許分類7 G06F 17/10	A1	(11) 国際公開番号 WO00/46692  (43) 国際公開日 2000年8月10日(10.08.00)
(21) 国際出願番号 PCT/JP00/00584  (22) 国際出願日 2000年2月3日(03.02.00)  (30) 優先権データ 特願平11/25674 1999年2月3日(03.02.99) JP  (71) 出願人 (米国を除くすべての指定国について) 日本電気株式会社(NEC CORPORATION)[JP/JP] 〒108-8001 東京都港区芝五丁目7番1号 Tokyo, (JP) (72) 発明者; および (75) 発明者/出願人 (米国についてののみ) 久村孝寛(KUMURA, Takahiro)[JP/JP] 〒108-8001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo, (JP) (74) 代理人 金田暢之, 外(KANEDA, Nobuyuki et al.) 〒107-0052 東京都港区赤坂1丁目9番20号 第16興和ビル8階 Tokyo, (JP)		(81) 指定国 CA, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)  添付公開書類 国際調査報告書

(54)Title: SIGNAL PROCESSOR AND PRODUCT-SUM OPERATING DEVICE FOR USE THEREIN WITH ROUNDING FUNCTION

(54)発明の名称 信号処理プロセッサ及びそれに用いる丸め機能付き積和演算器

(57) Abstract

A product-sum operating device with a rounding function for executing a product-sum operation of 16 bits considering the place of the addend in a register. Selective input/expansion means of the product-sum operating device expands data at 31st to 16-th bits of a 40-bit register (1) if a control signal (Position) from the outside takes on "1", and data at 15-th to 0-th bits of the 40-bit register if the control signal (Position) takes on "0", to 40-bit data and transfers the expanded data to the product-sum operating device. This product-sum operating device executes a product-sum operation using 40-bit data, and a multiplicand B and a multiplier C both of 16-bit data. Rounding/selective output means (43) rounds the 40-bit data into 16-bit data if a control signal (Round) from the outside takes on "1", and outputs the rounded data to the place of the addend in the 40-bit register specified by the control signal (Position).



- 4...PRODUCT-SUM OPERATING DEVICE WITH ROUNDING FUNCTION  
42...SELECTIVE INPUT/EXPANSION MEANS  
43...ROUNDING/SELECTIVE OUTPUT MEANS

**THIS PAGE BLANK (USPTO)**

## PATENT COOPERATION TREATY

**PCT**  
**NOTIFICATION OF TRANSMITTAL**  
**OF COPIES OF TRANSLATION**  
**OF THE INTERNATIONAL PRELIMINARY**  
**EXAMINATION REPORT**

(PCT Rule 72.2)

From the INTERNATIONAL BUREAU

To:

KANEDA, Nobuyuki  
 16th Kowa Building  
 8th floor  
 9-20, Akasaka 1-chome  
 Minato-ku  
 Tokyo 107-0052  
 JAPON



<b>Date of mailing (day/month/year)</b> 11 May 2001 (11.05.01)	<b>IMPORTANT NOTIFICATION</b>
<b>Applicant's or agent's file reference</b> NEC00P010-si	
<b>International application No.</b> PCT/JP00/00584	<b>International filing date (day/month/year)</b> 03 February 2000 (03.02.00)
<b>Applicant</b> NEC CORPORATION et al	

**1. Transmittal of the translation to the applicant.**

The International Bureau transmits herewith a copy of the English translation made by the International Bureau of the international preliminary examination report established by the International Preliminary Examining Authority.

**2. Transmittal of the copy of the translation to the elected Offices.**

The International Bureau notifies the applicant that copies of that translation have been transmitted to the following elected Offices requiring such translation:

EP,CA,US

The following elected Offices, having waived the requirement for such a transmittal at this time, will receive copies of that translation from the International Bureau only upon their request:

None

**3. Reminder regarding translation into (one of) the official language(s) of the elected Office(s).**

The applicant is reminded that, where a translation of the international application must be furnished to an elected Office, that translation must contain a translation of any annexes to the international preliminary examination report.

It is the applicant's responsibility to prepare and furnish such translation directly to each elected Office concerned (Rule 74.1). See Volume II of the PCT Applicant's Guide for further details.

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No. (41-22) 740.14.35	Authorized officer Elliott Peretti Telephone No. (41-22) 338.83.38
--	--

COPY

**THIS PAGE BLANK (USPTO)**

4T

## 特 許 協 力 条 約

PCT

## 国際予備審査報告

(法第12条、法施行規則第56条)  
〔PCT36条及びPCT規則70〕

REC'D 10 NOV 2000

WIPO

PCT

出願人又は代理人 の書類記号 NEC00P010-si	今後の手続きについては、国際予備審査報告の送付通知（様式PCT/ IPEA/416）を参照すること。	
国際出願番号 PCT/JP00/00584	国際出願日 (日.月.年) 03.02.00	優先日 (日.月.年) 03.02.99
国際特許分類 (IPC) Int. Cl <sup>7</sup> G06F 17/10		
出願人 (氏名又は名称) 日本電気株式会社		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条 (PCT36条) の規定に従い送付する。
2. この国際予備審査報告は、この表紙を含めて全部で 3 ページからなる。
- ☐ この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び/又は図面も添付されている。  
(PCT規則70.16及びPCT実施細則第607号参照)  
この附属書類は、全部で                      ページである。
3. この国際予備審査報告は、次の内容を含む。
- I ☒ 国際予備審査報告の基礎
  - II ☐ 優先権
  - III ☐ 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
  - IV ☐ 発明の単一性の欠如
  - V ☒ PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
  - VI ☐ ある種の引用文献
  - VII ☐ 国際出願の不備
  - VIII ☐ 国際出願に対する意見

国際予備審査の請求書を受理した日 03.02.00	国際予備審査報告を作成した日 31.10.00	
名称及びあて先 日本国特許庁 (IPEA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 石井 茂和	5M 8837
電話番号 03-3581-1101 内線 6438		

様式PCT/IPEA/409 (表紙) (1998年7月)

**THIS PAGE BLANK (USPTO)**

## I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に  
 応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。  
 PCT規則70.16, 70.17)

☒ 出願時の国際出願書類

- ☐ 明細書 第 \_\_\_\_\_ ページ、 出願時に提出されたもの  
 明細書 第 \_\_\_\_\_ ページ、 国際予備審査の請求書と共に提出されたもの  
 明細書 第 \_\_\_\_\_ ページ、 \_\_\_\_\_ 付の書簡と共に提出されたもの
- ☐ 請求の範囲 第 \_\_\_\_\_ 項、 出願時に提出されたもの  
 請求の範囲 第 \_\_\_\_\_ 項、 PCT19条の規定に基づき補正されたもの  
 請求の範囲 第 \_\_\_\_\_ 項、 国際予備審査の請求書と共に提出されたもの  
 請求の範囲 第 \_\_\_\_\_ 項、 \_\_\_\_\_ 付の書簡と共に提出されたもの
- ☐ 図面 第 \_\_\_\_\_ ページ/図、 出願時に提出されたもの  
 図面 第 \_\_\_\_\_ ページ/図、 国際予備審査の請求書と共に提出されたもの  
 図面 第 \_\_\_\_\_ ページ/図、 \_\_\_\_\_ 付の書簡と共に提出されたもの
- ☐ 明細書の配列表の部分 第 \_\_\_\_\_ ページ、 出願時に提出されたもの  
 明細書の配列表の部分 第 \_\_\_\_\_ ページ、 国際予備審査の請求書と共に提出されたもの  
 明細書の配列表の部分 第 \_\_\_\_\_ ページ、 \_\_\_\_\_ 付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である \_\_\_\_\_ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語  
☐ PCT規則48.3(b)にいう国際公開の言語  
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表  
☐ この国際出願と共に提出されたフレキシブルディスクによる配列表  
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表  
☐ 出願後に、この国際予備審査(または調査)機関に提出されたフレキシブルディスクによる配列表  
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった  
☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

- ☐ 明細書 第 \_\_\_\_\_ ページ  
☐ 請求の範囲 第 \_\_\_\_\_ 項  
☐ 図面 図面の第 \_\_\_\_\_ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならず、本報告に添付する。)

**THIS PAGE BLANK (USPTO)**



V. 新規性、進歩性又は産業上の利用可能性についての法第12条（PCT35条(2)）に定める見解、それを裏付ける文献及び説明

1. 見解

新規性 (N)

請求の範囲 1-16 有  
請求の範囲 無

進歩性 (IS)

請求の範囲 1-16 有  
請求の範囲 無

産業上の利用可能性 (IA)

請求の範囲 1-16 有  
請求の範囲 無

2. 文献及び説明 (PCT規則70.7)

特許請求の範囲1乃至16

請求の範囲各項に記載された丸め機能を有する信号処理処理用プロセッサの構成は引用文献の何れにも記載されておらず、当業者にとって自明の構成ではない。

**THIS PAGE BLANK (USPTO)**

PCT

E P



国際調査報告

(法8条、法施行規則第40、41条)  
〔PCT18条、PCT規則43、44〕

出願人又は代理人 の書類記号 NEC00P010-SI	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220) 及び下記5を参照すること。		
国際出願番号 PCT/JP00/00584	国際出願日 (日.月.年) 03.02.00	優先日 (日.月.年) 03.02.99	
出願人 (氏名又は名称) 日本電気株式会社			

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。  
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 2 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

#### 1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 4 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

**THIS PAGE BLANK (USPTO)**

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G06F17/10

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G06F17/10, 7/00, H03H17/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2000年  
 日本国実用新案登録公報 1996-2000年  
 日本国登録実用新案公報 1994-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)  
 JICST科学技術文献ファイル, 「(積和+積和演算+積和回路)\*レジスタ」  
 WPI, 「REGISTER\*CONVOLVER」

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 9-274612, A (株式会社日立製作所), 21. 10月. 1997 (21. 10. 97), 第2頁, 第1欄, 第2-42行 (ファミリーなし)	1-16
A	JP, 5-020352, A (新日本製鐵株式会社), 29. 1月. 1993 (29. 01. 93), 第1頁, 左下欄, 第3-14行 (ファミリーなし)	1-16
A	JP, 59-197936, A (富士通株式会社), 第2頁, 右上覧, 第6行-右下欄, 第5行及び第3図 (ファミリーなし)	1-16

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日

27. 04. 00

国際調査報告の発送日

1 6.05.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

石井 茂和



5M 8837

電話番号 03-3581-1101 内線 6438

**THIS PAGE BLANK (USPTO)**

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/00584

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> G06F17/10

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G06F17/10, 7/00, H03H17/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2000  
 Kokai Jitsuyo Shinan Koho 1971-2000 Toroku Jitsuyo Shinan Koho 1994-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JICST, "(SEKIWA+SEKIWA ENZAN+SEKIWA KAIRO)\*REGISTER"  
 WPI, "REGISTER\*CONVOLVER"

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 9-274612, A (Hitachi, Ltd.), 21 October, 1997 (21.10.97), page 2; Column 1; lines 2 to 42 (Family: none)	1-16
A	JP, 5-020352, A (Nippon Steel Corporation), 29 January, 1993 (29.01.93), page 1; lower left column; lines 3 to 14 (Family: none)	1-16
A	JP, 59-197936, A (Fujitsu Limited), page 2, upper right column, line 6 to lower right column, line 5; Fig. 3 (Family: none)	1-16



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:  
 "A" document defining the general state of the art which is not  
 considered to be of particular relevance  
 "E" earlier document but published on or after the international filing  
 date  
 "L" document which may throw doubts on priority claim(s) or which is  
 cited to establish the publication date of another citation or other  
 special reason (as specified)  
 "O" document referring to an oral disclosure, use, exhibition or other  
 means  
 "P" document published prior to the international filing date but later  
 than the priority date claimed

"I" later document published after the international filing date or  
 priority date and not in conflict with the application but cited to  
 understand the principle or theory underlying the invention  
 "X" document of particular relevance; the claimed invention cannot be  
 considered novel or cannot be considered to involve an inventive  
 step when the document is taken alone  
 "Y" document of particular relevance; the claimed invention cannot be  
 considered to involve an inventive step when the document is  
 combined with one or more other such documents, such  
 combination being obvious to a person skilled in the art  
 "&" document member of the same patent family

Date of the actual completion of the international search  
 27 April, 2000 (27.04.00)

Date of mailing of the international search report  
 16 May, 2000 (16.05.00)

Name and mailing address of the ISA/  
 Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**THIS PAGE BLANK (USPTO)**



特許協力条約に基づいて公開された国際出願

丸め機能付き積和演算器

4...PRODUCT-SUM OPERATING DEVICE WITH ROUNDING FUNCTION  
42...SELECTIVE INPUT/EXPANSION MEANS  
43...ROUNDING/SELECTIVE OUTPUT MEANS

## (57)要約

本発明は、レジスタの中での加数の位置を考慮した16ビットの積和演算を実行可能な丸め機能付き積和演算器を提供することを目的とする。丸め機能付き積和演算器の選択入力及び拡張手段は外部からの制御信号Positionが“1”であれば40ビットレジスタ1の31～16ビットにあるデータを、制御信号Positionが“0”であれば40ビットレジスタの15～0ビットにあるデータをそれぞれ40ビットに拡張して積和演算器へ渡す。積和演算器は40ビットデータと16ビットデータ被乗数Bと乗数Cとによって積和演算を実行する。丸め処理及び選択出力手段43は外部からの制御信号Roundが“1”の場合に40ビットデータを16ビットに丸め、制御信号Positionが示す40ビットレジスタにおける加数の位置に丸め処理したデータを入力する。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AG	アンティグア・バーブーダ	DZ	アルジェリア	LC	セントルシア	SD	スーダン
AL	アルバニア	EE	エストニア	LI	リヒテンシュタイン	SE	スウェーデン
AM	アルメニア	ES	スペイン	LK	スリ・ランカ	SG	シンガポール
AT	オーストラリア	FI	フィンランド	LR	リベリア	SI	スロヴェニア
AU	オーストラリア	FR	フランス	LS	レソト	SK	スロヴァキア
AZ	アゼルバイジャン	GA	ガボン	LT	リトアニア	SL	シエラ・レオネ
BA	ボスニア・ヘルツェゴビナ	GB	英国	LV	ラトヴィア	SN	セネガル
BB	バルバドス	GD	グレナダ	MA	モロッコ	SZ	スワジランド
BE	ベルギー	GE	グルジア	MC	モナコ	TD	チャド
BF	ブルキナ・ファソ	GH	ガーナ	MD	モルドヴァ	TG	トーゴ
BG	ブルガリア	GN	ギニア	MG	マダガスカル	TJ	タジキスタン
BJ	ベナン	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア	TM	トルクメニスタン
BR	ブラジル	GW	ギニア・ビサウ		共和国	TR	トルコ
BY	ベラルーシ	HR	クロアチア	ML	マリ	TT	トリニダード・トバゴ
CA	カナダ	HU	ハンガリー	MN	モンゴル	TZ	タンザニア
CF	中央アフリカ	ID	インドネシア	MR	モーリタニア	UA	ウクライナ
CG	コンゴ	IE	アイルランド	MW	マラウイ	UG	ウガンダ
CH	スイス	IL	イスラエル	MX	メキシコ	US	米国
CI	コートジボワール	IN	インド	MZ	モザンビーク	UZ	ウズベキスタン
CM	カメルーン	IS	アイスランド	NE	ニジェール	VN	ベトナム
CN	中国	IT	イタリア	NL	オランダ	YU	ユーゴスラヴィア
CR	コスタ・リカ	JP	日本	NO	ノルウェー	ZA	南アフリカ共和国
CY	キプロス	KE	ケニア	NZ	ニュージーランド	ZW	ジンバブエ
CZ	チェコ	KG	キルギスタン	PL	ポーランド		
DE	ドイツ	KP	北朝鮮	PT	ポルトガル		
DK	デンマーク	KR	韓国	RO	ルーマニア		

## 明細書

## 信号処理プロセッサ及びそれに用いる丸め機能付き積和演算器

## 技術分野

本発明は、信号処理プロセッサ及びそれに用いる丸め機能付き積和演算器に関する。

## 背景技術

信号処理プロセッサはメモリからデータを読込んで、加減算、論理演算、乗算といったさまざまな演算を行う。特に、画像処理や音声処理等の信号処理プログラム中に頻繁に現れる積和演算を1サイクルで実行することができる積和演算器を搭載することによって、信号処理プロセッサの処理性能を飛躍的に向上させている。

図1に従来の信号処理プロセッサにおける実行ユニット、レジスタ、メモリの構成例を示す。図1は「IEEE VLSI SIGNAL PROCESSING、VI」(pp. 93-101 1993)において紹介された信号処理プロセッサを示している。

図1を参照すると、従来の信号処理プロセッサは40ビット幅のレジスタを8個持ち(以下、レジスタ50とする)、積和演算器52と、MUX(マルチプレクサ)53と、ALU(Arithmetic and Logic Unit: 算術及び論理演算器)54と、BSFT(バレルシフトユニット)55と、Xメモリ57xと、Yメモリ57yとを備えている。以下、Xメモリ57x及びYメモリ57yをメモリ57x、57yとする。

メモリ57x、57yとレジスタ50とはデータバス58x、58yによって接続されている。積和演算器52とALU54とMUX53とBSFT55とはレジスタ50からの出力51a~51cによって接続されている。

積和演算器52は積和演算を実行する。ALU54はMUX53によって選択された即値imm. またはレジスタ50の値を使用して算術または論理演算を実行する。BSFT55はMUX53によって選択された即値imm. またはレジ

スタ 50 の値を使用して算術または論理シフトを実行する。

信号処理プログラムに頻繁に現れる積和演算とは、

$$A = A + B \times C \quad \dots\dots (1)$$

という乗算と加算とを行う演算である。

被乗数 B と乗数 C との積を (1) 式の右辺の加数 A に加算し、この結果を (1) 式の左辺 A とする。(1) 式の右辺の加数 A は多くの場合、繰返し実行される積和演算の結果であるが、メモリから読込むこともある。また、式 (1) の右辺の「+」記号を「-」記号に変えた演算も積和演算である。

固定小数点の数値データを扱う一般的な積和演算器においては実用性や経済性等の点から、(1) 式の右辺の被乗数 B、乗数 C を 16 ビット幅のデータとすることが多い。この場合、被乗数 B と乗数 C との積は最大で 32 ビット幅のデータとなるので、(1) 式の右辺及び左辺の A は 32 ビット以上のデータ幅が必要である。

以上の理由から、積和演算の結果を保存するために、一般的な信号処理プロセッサでは 32 ビット以上の幅を持つレジスタを搭載している。このようなプロセッサでレジスタに 16 ビットデータを保持する時、レジスタの 15 ～ 0 ビットあるいは 31 ～ 16 ビットのどちらかに置くことになる。

図 1 に示した従来の信号処理プロセッサで (1) 式の積和演算を実行する場合について、図 2 を参照して説明する。図 2 は図 1 に示した信号処理プロセッサのレジスタ 50 と積和演算器 52 とに注目して積和演算を実行する過程を示す図である。

まず、プロセッサの外部に接続されたメモリから (1) 式の右辺の被乗数 B をレジスタ 502 に、乗数 C をレジスタ 503 に、加数 A をレジスタ 501 にそれぞれ読込む。

被乗数 B 及び乗数 C はレジスタ 502、503 の 31 ～ 16 ビットまたは 15 ～ 0 ビットのどちらにあってもよいが、ここでは、被乗数 B がレジスタ 502 の 31 ～ 16 ビットに、乗数 C がレジスタ 503 の 15 ～ 0 ビットにあるものとする。加数 A はレジスタの全てのビットを使用する。図 2 において、レジスタ 50

1～503の下に書かれた数字はビット位置を示す。

続いて、加数Aを積和演算器のACC（アキュムレータ）523に格納する。さらに、被乗数Bと乗数Cとを積和演算器52内にある乗算器521に入力し、これらの積を計算する。被乗数Bと乗数Cとの積は加減算器（±）522によって、ACC523内に格納した加数Aに加算される。最後に、加算結果はACC523に一旦格納され、積和演算器の出力56を通じて加数Aが格納されていたレジスタ501に書戻される。

図1のような構成の信号処理プロセッサ上で、16ビットデータの加数をメモリから読み込み、これに対してある積和演算を行って、その結果を再び16ビットデータとしてメモリに保存する処理を考える。つまり、途中の演算結果は別にしておき、入出力データの幅を16ビットに統一した積和演算である。

これはある積和演算の被乗数または乗数を別の積和演算の加数として使うという処理を繰返し行う場合に発生する。このような処理では加数、被乗数、乗数が全て16ビットデータとして扱われるので、これらの値によっては演算結果がオーバーフローする可能性がある。しかしながら、値の範囲を適切に選ぶことが可能な場合にはオーバーフローを起こさずに、演算を実行することが可能である。

図1に示した従来の信号処理プロセッサで入出力データの幅を16ビットに統一した積和演算を実行する場合について、図3を参照して説明する。図3では図2と同様に、プロセッサの外部に接続されたメモリから被乗数Bをレジスタ502の31～16ビットに、乗数Cをレジスタ503の15～0ビットに、加数Aをレジスタ501の31～16ビットにそれぞれ読み込む。

ここで、16ビットデータである加数Aをレジスタ501に読み込む際に、Aの符号が39～32ビットに挿入され、15～0ビットには“0”が挿入される。レジスタ501～503にデータが格納された状態を50nとする。また、積和演算後のレジスタの状態を50n1とし、丸め処理後のレジスタの状態を50n2とする。

次の状態50n1では積和演算が実行され、 $A + B \times C$ がレジスタ501に格納される。また、状態50n2では積和演算の結果40ビットをALU54によ

って16ビットに丸め、丸めた結果はレジスタ501に格納される。最後に、丸めたデータをメモリに格納する。

以上の処理においては2つの問題がある。1つ目の問題はメモリから読込んだ加数Aのデータ幅と積和演算器52が要求する加数のデータ幅との相違である。加数Aは16ビット幅のデータであるから、積和演算を行うためには40ビットのデータ幅に拡張しなければならない。したがって、同一レジスタ内に2つの16ビット加数を置くことができない。

2つ目の問題は積和演算器の演算結果のデータ幅とメモリ格納時のデータ幅との相違である。従来の信号処理プロセッサが備える積和演算器は40ビットのデータ幅をもつ演算結果を出力するので、16ビット幅のデータとしてメモリに格納する場合、40ビットを16ビットに丸める必要がある。つまり、積和演算に加えて、丸め処理を行わなければならない。

さらに、図1に示す従来の信号処理プロセッサの性能向上を図るために、メモリとレジスタとの間のバス幅を32ビットに増やした場合を考えると、1つのデータバスから16ビットデータを同時に2つ読込むことができる。

このような信号処理プロセッサにおいて、再び入出力データの幅を16ビットに統一した積和演算について考えると、被乗数及び乗数は16ビットデータであるから、32ビットの転送能力を活かしてそれぞれを2つずつ同時に読込むことができる。読込まれた2つのデータはレジスタの31～16ビットと15～0ビットとに格納されるものとする。

同様に、加数についても32ビット転送によって2つのデータを同時にレジスタに読込むことが可能である。しかしながら、これはうまく機能しない。なぜならば、16ビットデータの加数はレジスタの31～16ビットにあって、15～0ビットは“0”でなければならないからである。

つまり、図3において、加数Aが格納されているレジスタ501の15～0ビットに別の加数がある場合、そのままでは正しい演算を実行することができないのである。したがって、加数は1つずつレジスタに読込まなければならない。

32ビット転送を使用して加数を同一のレジスタに2つ読込んだ場合には、レ

レジスタ・レジスタ間転送またはシフト等を用いて、別のレジスタに1つずつデータを格納しなければならない。メモリ・レジスタ間の転送命令は半分にすることができても、レジスタ・レジスタ間の転送が必要となるので、この場合、メモリ・レジスタ間の32ビット転送能力が活かされないことになる。

上述した従来の信号処理プロセッサでは、上記のように、16ビットデータの扱いに問題を抱えている。1つは、入出力データの幅を16ビットに統一した積和演算において、余分な資源を消費してしまうことである。加数の16ビットデータは積和演算器の要求するデータ幅に合わせるためにレジスタの幅に拡張して格納しなければならない。

さらに、積和演算の結果はレジスタの幅と同じデータ幅になっているので、16ビットのデータにするためには丸め処理が必要である。さらに、この問題によって、メモリ・レジスタ間の転送効率向上が期待できないという問題が引き起こされる。

例えば、メモリ・レジスタ間の転送能力を16ビットの倍の32ビット幅に拡大したとしても、16ビットの加数データを複数個同時にレジスタに読込み、効率よく演算するためにはレジスタ・レジスタ間での加数データの転送が不可欠である。したがって、演算を実行するまでに必要なメモリ・レジスタ間のデータ転送において、効率の向上は期待できない。

### 発明の開示

そこで、本発明の目的は上記の問題点を解消し、16ビットデータを効率良く扱うことができる信号処理プロセッサ及びそれに用いる丸め機能付き積和演算器を提供することにある。さらに詳しく言うと、レジスタの中での加数の位置を考慮した16ビットの積和演算を実行可能な信号処理プロセッサ及びそれに用いる丸め機能付き積和演算器を提供することにある。

本発明による信号処理プロセッサは、加数と被乗数と乗数との積和演算を行う積和演算器からなる丸め機能付き積和演算器を含む信号処理プロセッサであって、前記丸め機能付き積和演算器に接続されたレジスタを備え、

前記丸め機能付き積和演算器は、前記レジスタ内の異なる位置から入力される加数を選択的に入力する選択入力手段と、前記選択入力手段で選択的に入力される加数に基づいた前記積和演算器の積和演算結果に対してデータ幅の大きなデータをデータ幅の小さなデータへ変換する丸め処理を行う丸め処理手段と、前記丸め処理手段で丸め処理された前記積和演算結果を前記レジスタ内の異なる位置に選択的に出力する選択出力手段とを具備している。

本発明による丸め機能付き積和演算器は、加数と被乗数と乗数との積和演算を行う積和演算器からなる丸め機能付き積和演算器であって、外部に接続されたレジスタ内の異なる位置から入力される加数を選択的に入力する選択入力手段と、前記選択入力手段で選択的に入力される加数に基づいた前記積和演算器の積和演算結果に対してデータ幅の大きなデータをデータ幅の小さなデータへ変換する丸め処理を行う丸め処理手段と、前記丸め処理手段で丸め処理された前記積和演算結果を前記レジスタ内の異なる位置に選択的に出力する選択出力手段とを備えている。

すなわち、本発明の丸め機能付き積和演算器は、選択入力及び拡張手段と、丸め及び選択出力手段と、積和演算器とを備える。丸め機能付き積和演算器は制御信号Round、Positionによってその動作を決定する。制御信号Roundが“0”の場合、本発明の丸め機能付き積和演算器は従来の積和演算器として動作する。

制御信号Roundが“1”の場合、本発明の丸め機能付き積和演算器の動作は制御信号Positionによって異なる。選択入力及び拡張手段は外部に接続されたレジスタにおける16ビットデータである加数の位置を制御信号Positionで与えることによって、加数を積和演算器が要求するデータ幅に拡張する。

丸め及び選択出力手段は積和演算の結果として得られるレジスタ幅のデータを16ビットに丸め処理した後、制御信号Positionが示すレジスタにおける加数の位置に丸め処理したデータを出力する。

このような構成によって、丸め機能付き積和演算器の外部に接続された32ビ



ット以上の幅をもつレジスタ内の 31～16 ビットあるいは 15～0 ビットにある 16 ビット幅の加数に対して、互いに影響を与えずに丸め付き積和演算を実行することが可能となる。

#### 図面の簡単な説明

図 1 は、従来の信号プロセッサの構成例を示すブロック図である。

図 2 は、従来の信号プロセッサによる加数が 40 ビットデータで、被乗数及び乗数が 16 ビットデータである積和演算の実行例を示すブロック図である。

図 3 は、従来の信号プロセッサによる加数、被乗数、乗数の全てが 16 ビットデータである積和演算を実行した場合のレジスタの状態を示す図である。

図 4 は、本発明の実施例の構成を示すブロック図である。

図 5 は、図 4 の選択入力及び拡張手段の動作を示す図である。

図 6 は、図 4 の丸め及び選択出力手段の動作を示す図である。

図 7 は、本発明の一実施例による丸め機能付き積和演算器の構成を示すブロック図である。

図 8 は、図 7 の丸め機能付き積和演算器を使用して加数、被乗数、乗数の全てが 16 ビットデータである積和演算を実行した場合のレジスタの状態を示す図である。

#### 発明を実施するための最良な形態

次に、本発明の実施例について図面を参照して説明する。図 4 は本発明の一実施例の構成を示すブロック図である。図 4 において、丸め機能付き積和演算器 4 は 16 ビットデータを効率良く扱うことができるように構成された丸め機能付き積和演算器である。さらに詳しく言うと、丸め機能付き積和演算器 4 は、32 ビット以上の幅をもつレジスタ 1 内に 2 つの別々の 16 ビットデータがある場合に、互いのデータに影響を与えないような積和演算が実行可能なように構成されている。

丸め機能付き積和演算器 4 は外部にレジスタを接続して動作させる。丸め機能

付き積和演算器4は外部のレジスタから加数、被乗数、乗数の3つのデータを取込む。また、丸め機能付き積和演算器4は演算の結果を書出す出力を3つ備えている。さらに、丸め機能付き積和演算器4の演算動作は、2つの制御信号Round、Positionにより制御される。

加数は丸め機能付き積和演算器4の外部に接続された40ビットレジスタ1の31～16ビットあるいは15～0ビットに格納されている。被乗数及び乗数は外部のレジスタに格納されており、丸め機能付き積和演算器4に入力される。

図4では加数が格納されている40ビットレジスタ1のみを示し、被乗数や乗数が格納されているレジスタは示していない。40ビットレジスタ1に格納されたデータは15～0ビットが入力データ46L、31～16ビットが入力データ46H、39～32ビットが入力データ46Eとして丸め機能付き積和演算器4に入力される。また、被乗数は16ビットデータ45、乗数は16ビットデータ44として丸め機能付き積和演算器4へ入力される。

加数と被乗数と乗数との積和演算及び丸め処理の結果は出力47L、47H、47Eとして40ビットレジスタ1へ書戻される。出力47L、47Hは16ビットデータであり、出力47Eは8ビットデータである。出力47Lは40ビットレジスタ1の15～0ビットへ、出力47Hは40ビットレジスタ1の31～16ビットへ、出力47Eは40ビットレジスタ1の39～32ビットへそれぞれ出力される。

上述のように、丸め機能付き積和演算器4の動作は2つの制御信号Round、Positionにより制御されている。制御信号Positionは40ビットレジスタ1における加数の位置を示す信号である。加数が40ビットレジスタ1の31～16ビットにある場合に制御信号Position=1、15～0ビットにある場合に制御信号Position=0とする。

制御信号Roundは丸め機能付き積和演算器4において丸め処理を行うかどうかを決める信号である。ここで、丸め処理とはデータ幅の大きなデータをデータ幅の小さなデータへ変換する操作である。この逆の操作、つまりデータ幅の小さなデータをデータ幅の大きなデータへ変換する操作を拡張処理と呼ぶことにす

る。丸め処理を行う場合は制御信号  $R o u n d = 1$ 、丸め処理を行わない場合は制御信号  $R o u n d = 0$  とする。

さらに、図 4 の丸め機能付き積和演算器 4 の内部構成について説明する。丸め機能付き積和演算器 4 は積和演算器 4 1 と、選択入力及び拡張手段 4 2 と、丸め及び選択出力手段 4 3 とからなる。

選択入力及び拡張手段 4 2 はレジスタ 1 からの入力データ 4 6 E、4 6 H、4 6 L からデータを選択して拡張し、4 0 ビットデータを出力する。また、選択入力及び拡張手段 4 2 は制御信号  $P o s i t i o n$ 、 $R o u n d$  によって制御される。積和演算器 4 1 は選択入力及び拡張手段 4 2 によって得られる加数と乗数 4 4 と被乗数 4 5 とによる積和演算を実行する。

丸め及び選択出力手段 4 3 は積和演算器 4 1 の出力を 4 0 ビットから 1 6 ビットへ丸めて、4 0 ビットレジスタ 1 の指定された位置へ出力する。また、丸め及び選択出力手段 4 3 は制御信号  $P o s i t i o n$ 、 $R o u n d$  によって制御される。

本実施例の丸め機能付き積和演算器 4 は従来の積和演算器 4 1 に、選択入力及び拡張手段 4 2 と丸め及び選択出力手段 4 3 とを加えることによって 1 6 ビットデータの扱いを改善したものである。

次に、図 4 を参照して本発明の丸め機能付き積和演算器 4 の動作について説明する。選択入力及び拡張手段 4 2 は 4 0 ビットレジスタ 1 から入力される入力データ 4 6 E、4 6 H、4 6 L に基づいて 4 0 ビットデータ 4 8 を構成する。これは制御信号  $R o u n d$ 、 $P o s i t i o n$  によって制御される。

制御信号  $R o u n d$  が “0” の場合は丸め処理を行わないので、丸め機能付き積和演算器 4 は従来の積和演算器と同じ演算結果が得られるように動作しなければならない。この時、4 0 ビットレジスタ 1 から入力される入力データ 4 6 E、4 6 H、4 6 L はそのまま 4 0 ビットデータとして積和演算器 4 1 へ出力される。

一方、制御信号  $R o u n d$  が “1” の場合は制御信号  $P o s i t i o n$  によって動作が異なる。制御信号  $R o u n d$  が “1” で、制御信号  $P o s i t i o n$  が

“0”の場合には、加数が40ビットレジスタ1の15～0ビットにあるものとして処理を行う。この場合、40ビットレジスタ1の15～0ビットにある加数46Lを40ビットに拡張して積和演算器41へ出力する。

制御信号Roundが“1”で、制御信号Positionが“1”の場合には、加数が40ビットレジスタ1の31～16ビットにあるものとして処理を行う。この場合、40ビットレジスタ1の31～16ビットにある加数46Hを40ビットに拡張して積和演算器41へ出力する。

積和演算器41は16ビットデータ44、45の積を計算し、これを40ビットデータ48に加算した結果を、同じく40ビットデータ49として出力する。最後に、丸め及び選択出力手段43は積和演算器41で計算された積和演算の結果である40ビットデータ49に丸め処理を行って、16ビットデータとして40ビットレジスタ1へ出力する。ここで、丸め処理を行うかどうかは制御信号Roundによって決定する。丸めた16ビットデータを40ビットレジスタ1のどの部分に出力するかは制御信号Positionによって決定する。制御信号Roundが“0”の場合には丸め処理を行わずに40ビットデータ49を出力47E、47H、47Lにわけてレジスタ1へ出力する。

制御信号Roundが“1”で、制御信号Positionが“0”の場合には加数が40ビットレジスタ1の15～0ビットにあるので、40ビットデータ49に丸め処理を施して16ビットデータとし、これを出力47Lとして40ビットレジスタ1の15～0ビットに出力する。この時、出力47H、47Eは動作しないので、40ビットレジスタ1の39～16ビットは変化しない。

制御信号Roundが“1”で、制御信号Positionが“1”の場合には加数が40ビットレジスタ1の31～16ビットにあるので、40ビットデータ49に丸め処理を施して16ビットデータとし、これを出力47Hとして40ビットレジスタ1の31～16ビットに出力する。この時、出力47L、47Eは動作しないので、40ビットレジスタ1の39～32ビット及び15～0ビットは変化しない。

図5は図4の選択入力及び拡張手段42の動作を示す図である。この図5を参

照して選択入力及び拡張手段 4 2 の動作について説明する。選択入力及び拡張手段 4 2 の目的は丸め処理の有無、積和演算に必要な加数の 4 0 ビットレジスタ 1 における位置を考慮し、4 0 ビットレジスタ 1 から 4 0 ビットデータを作成することである。

選択入力及び拡張手段 4 2 における丸め処理の有無は制御信号 Round によって決定し、加数の 4 0 ビットレジスタ 1 における位置は制御信号 Position によって決定する。

例えば、制御信号 Round が “0” である場合、制御信号 Position が何であろうと、4 0 ビットレジスタ 1 から入力された入力データ 4 6 E、4 6 H、4 6 L によって 4 0 ビットデータ 4 8 を構成して出力する。この場合、1 6 ビットデータ 4 6 L は 4 0 ビットデータ 4 8 の 1 5 ～ 0 ビット、1 6 ビットデータ 4 6 H は同じく 4 0 ビットデータ 4 8 の 3 1 ～ 1 6 ビット、8 ビットデータ 4 6 E は同じく 4 0 ビットデータ 4 8 の 3 9 ～ 3 2 ビットとなる。

一方、制御信号 Round が “1” である場合には、制御信号 Position によって動作が異なる。制御信号 Round が “1” でかつ制御信号 Position が “0” である場合、加数は 4 0 ビットレジスタ 1 の 1 5 ～ 0 ビットにある。そこで、4 0 ビットレジスタ 1 の 1 5 ～ 0 ビットにある 1 6 ビットデータ 4 6 L を 4 0 ビット幅のデータへ拡張し、4 0 ビットデータ 4 8 とする。

制御信号 Round が “1” でかつ制御信号 Position が “1” である場合、加数は 4 0 ビットレジスタ 1 の 3 1 ～ 1 6 ビットにある。そこで、4 0 ビットレジスタ 1 の 3 1 ～ 1 6 ビットにある 1 6 ビットデータ 4 6 H を 4 0 ビット幅のデータへ拡張し、4 0 ビットデータ 4 8 とする。

固定小数点データの場合、1 6 ビットデータ 4 6 L または 1 6 ビットデータ 4 6 H から 4 0 ビットデータ 4 8 への拡張は次のようにして行う。まず、拡張する 1 6 ビットデータを 4 0 ビットデータ 4 8 の 3 1 ～ 1 6 ビットとする。

さらに、拡張する 1 6 ビットデータの符号ビットを抽出し、その符号ビットを 4 0 ビットデータ 4 8 の 3 9 ～ 3 2 ビットとする。通常、符号ビットは 1 ビットの情報であるから、4 0 ビットデータ 4 8 の 3 9 ～ 3 2 ビットには符号ビットが

繰返し挿入される。最後に、40ビットデータ48の15～0ビットに0を挿入する。

図6は図4の丸め及び選択出力手段43の動作を示す図である。この図6を参照して丸め及び選択出力手段43の動作について説明する。丸め及び選択出力手段43へは積和演算器41から演算結果49が入力される。

丸め及び選択出力手段43の目的は丸め処理の有無、積和演算に使用した加数の40ビットレジスタ1における位置を考慮し、入力40ビットデータ49を40ビットレジスタ1へ出力することである。

丸め及び選択出力手段43における丸め処理の有無は制御信号Roundによって決定し、加数のレジスタ1における位置は制御信号Positionによって決定する。

例えば、制御信号Roundが“0”である場合、制御信号Positionが何であろうと、丸め処理を行わずに入力40ビットデータ49をそのまま40ビットレジスタ1へ出力する。

この時、16ビット出力データ47Lは入力40ビットデータ49の15～0ビット、16ビット出力データ47Hは同じく入力40ビットデータ49の31～16ビット、8ビット出力データ47Eは同じく入力40ビットデータ49の39～32ビットとなる。

一方、制御信号Roundが“1”である場合、制御信号Positionによって動作が異なる。制御信号Roundが“1”でかつ制御信号Positionが“0”である場合、加数は40ビットレジスタ1の15～0ビットにある。そこで、丸め及び選択出力手段43は入力40ビットデータ49に丸め処理を行って16ビットデータとし、これを出力47Lとする。これは40ビットレジスタ1の15～0ビットに書込まれる。この時、出力47H及び出力47Eは何も出力しない。

制御信号Roundが“1”でかつ制御信号Positionが“1”である場合、加数は40ビットレジスタ1の31～16ビットにある。そこで、丸め及び選択出力手段43は入力40ビットデータ49に丸め処理を行って16ビット

データとし、これを出力 47H とする。これは 40 ビットレジスタ 1 の 31 ～ 16 ビットに書込まれる。この時、出力 47L 及び出力 47E は何も出力しない。

尚、本発明の実施例では 40 ビットレジスタ 1 のデータ幅が 40 ビットの場合について述べたが、そのデータ幅が 32 ビットの場合にも適用可能である。その場合、入力 46E と出力 47E とが不要となる。

さらに、本実施例ではレジスタ幅とデータサイズとを変えることで、M ビット幅のレジスタで、 $N \leq M/2$  なる N ビットのデータを扱うように修正することも可能である。この場合、図 4 において、1 は M ビット幅のレジスタ、2、3、44、45、46H、46L、47H、47L は N ビット幅のデータ、46E、47E は  $M - 2N$  ビット幅のデータ、48、49 は M ビット幅のデータとなる。

積和演算器 41 は N ビットデータ 44、45 の積を計算し、選択入力及び拡張手段 42 から受取った M ビットデータ 48 に加算する。その演算結果 49 は丸め及び選択出力手段 43 によって丸め処理され、N ビットデータとしてレジスタ 1 に書戻される。選択入力及び拡張手段 42 及び丸め及び選択出力手段 43 の動作はそれぞれ図 5 及び図 6 において、ビット位置を示す数字 39 を  $M - 1$  に、同じく 32 を  $2N$  に、31 を  $2N - 1$  に、16 を  $N$  に、15 を  $N - 1$  に変更したものとなる。但し、 $M = 2N$  の場合には入力 46E と出力 47E とが不要となる。

図 7 は本実施例による丸め機能付き積和演算器の構成を示すブロック図である。図においては外部に 40 ビットレジスタ 61 ～ 63 を接続し、かつ MUX (マルチプレクサ) 64、65 によってレジスタ 61 ～ 63 の 31 ～ 16 ビットあるいは 15 ～ 0 ビットのどちらかを選択して丸め機能付き積和演算器 4 に入力できるようにした構成例を示している。この図 7 において、レジスタ 61 ～ 63 はメモリ (図示せず) からデータを読込んだり、メモリへデータを保存することができるものとする。

図 8 は図 7 の丸め機能付き積和演算器 4 を使用して加数、被乗数、乗数の全てが 16 ビットデータである積和演算を実行した場合のレジスタの状態を示す図である。これら図 7 及び図 8 を参照して丸め機能付き積和演算器 4 の動作について説明する。

レジスタ 61 には「A」及び「D」の 16 ビットデータがメモリから読込まれた状態にある。レジスタ 61 の 31 ～ 16 ビットには加数 A が、15 ～ 0 ビットには別の加数 D が格納されている。

この状態で、まず  $A = A + B \times C$  という積和演算を実行する。ここで、丸め機能付き積和演算器 4 への制御信号  $Round = 1$ 、制御信号  $Position = 1$  とする。

丸め機能付き積和演算器 4 はレジスタ 61 から加数 A を取込み、レジスタ 62 から MUX 64 によって選択された被乗数 B と、レジスタ 63 から MUX 65 によって選択された乗数 C とによって積和演算と丸め処理とを行う。その結果は再びレジスタ 61 に書戻される。この時、レジスタ 61 の 31 ～ 16 ビットに演算結果が書込まれ、レジスタ 61 の 15 ～ 0 ビットは変化しない。この状態を 6n1 とする。

次に、 $D = D + E \times F$  という積和演算を実行する。ここで、丸め機能付き積和演算器 4 への制御信号  $Round = 1$ 、制御信号  $Position = 0$  とする。丸め機能付き積和演算器 4 はレジスタ 61 から加数 D を取込み、レジスタ 62 から MUX 64 によって選択された被乗数 E と、レジスタ 63 から MUX 65 によって選択された乗数 F とによって積和演算と丸め処理とを行う。その結果は再びレジスタ 61 に書戻される。この時、レジスタ 61 の 15 ～ 0 ビットに演算結果が書込まれ、レジスタ 61 の 31 ～ 16 ビットは変化しない。この状態を 6n2 とする。

状態 6n2 のレジスタ 61 には  $A + B \times C$  と  $D + E \times F$  との演算結果が 16 ビットに丸められ 31 ～ 16 ビットと 15 ～ 0 ビットとにそれぞれ格納されており、そのままメモリへ保存することが可能となる。

図 7 ではレジスタ 61 は 46L、46H、46E、47E、47H、47L と、レジスタ 62 は MUX 64 を介して被乗数 16 ビットデータ 45 と、レジスタ 63 も MUX 65 を介して乗数 16 ビットデータ 44 と固定的に接続されているが、これらの組合せを自由に選択可能なように修正することは容易である。

これは本実施例による丸め機能付き積和演算器 4 を、複数のレジスタをもつ信



号処理プロセッサで使用する場合に特に有効である。もちろん、信号処理プロセッサに含まれない回路として本実施例による丸め機能付き積和演算器 4 を使用することも可能である。

本実施例による丸め機能付き積和演算器 4 を使用すれば、図 8 に示したように、レジスタ内の 31 ～ 16 ビットあるいは 15 ～ 0 ビットにある 16 ビット幅の加数に対して、他のビットに影響を与えずに積和演算を実行することが可能となる。この効果によって、レジスタ内に異なる 16 ビット幅の加数を混在させることが可能となる。この効果は積和演算に使用するレジスタ数の削減につながる。

さらに、本実施例による丸め機能付き積和演算器 4 を 32 ビット幅以上のレジスタをもつ信号処理プロセッサに搭載した場合、2つの 16 ビット幅の加数をメモリから同時に読込み、1つのレジスタ内に混在させても正しく積和演算を実行することができるため、レジスタ・メモリ間の 32 ビット転送を活かすことができる。

以上のことを、LMS (Least Mean Square) 適応フィルタの実装を例にとって示す。LMS 適応フィルタは時刻  $i$  における入力信号を  $x_i$  とするタップ数  $T$  の FIR (Finite Impulse Response) フィルタ (係数  $w_j$ ) ( $j = 0, 1, \dots, T-1$ ) の出力  $y_i$  と所望信号  $d_i$  との誤差  $e_i$  によって、FIR フィルタの係数を勾配法を用いて適応的に更新するものである。 $y_i$  の計算と  $w_j$  の更新式とは、

$$y_i = \sum x_{i-j} \cdot w_j \quad \dots\dots (2)$$

$$e_i = d_i - y_i \quad \dots\dots (3)$$

$$w_j = w_j + \mu e_i \cdot x_{i-j} \quad \dots\dots (4)$$

という式で表される。但し、 $\sum$  は  $j = 0$  から  $j = T-1$  の総和であり、 $\mu$  は非常に小さな正の定数であり、 $j = 0, 1, \dots, T-1$  である。

(4) 式を参照すると、 $\mu e_i$  は一度計算しておけば全ての係数について同じ値を使用することができる。そのため、(4) 式のフィルタ係数の更新において係数毎に必要な基本操作は、

- (1) メモリから  $x_{i-j}$  を読込む

(2) メモリから  $w_j$  を読込む

(3) 加数  $w_j$ 、被乗数  $\mu e_i$ 、乗数  $x_{i-j}$  による積和演算

$$w_j = w_j + \mu e_i \cdot x_{i-j}$$

(4)  $w_j$  をメモリへ保存

という四つの処理であることがわかる。

信号処理プロセッサでこれら四つの処理を行う場合、 $x_{i-j}$ 、 $w_j$ 、 $e_i$  は 16 ビットデータ、 $y_i$  は 32 ビット以上のデータとする場合が多い。これは信号処理プロセッサに搭載された積和演算器の仕様によるものである。 $x_{i-j}$ 、 $w_j$ 、 $e_i$ 、 $y_i$  を上記のようなデータ幅とした時、 $w_j$  が加数となる

(3) の積和演算はデータ幅を 16 ビットに統一した演算になる。

上記の基本操作において、(1) と (2) と (4) とのメモリ・レジスタ間の転送は 16 ビットデータの転送であるから、32 ビット幅のデータバスをもつ信号処理プロセッサならば、2 つの転送をまとめて一回で行うことができる。

(2) の  $w_j$  の読込みに 32 ビット転送を使用した場合、読込まれた 2 つのデータはレジスタの 31 ~ 16 ビットと 15 ~ 0 ビットとに格納される。従来の積和演算器を搭載するプロセッサでは、このような配置で格納された  $w_j$  をそのままの状態では演算することは不可能だが、本実施例による丸め機能付き積和演算器 4 を搭載した信号処理プロセッサならば、すぐに積和演算を実行することができる。その結果、 $w_j$  をメモリへ保存する (4) の処理においても、演算後すぐに 32 ビット転送を使用することができる。

以上のようにして、32 ビット幅のデータバスをもつ信号処理プロセッサで 16 ビットデータの積和演算を実行する場合でも、本実施例による丸め機能付き積和演算器 4 を使用することによって、メモリ・レジスタ間の 32 ビット転送を活かすことができる。

## 請求の範囲

## 1. データを格納するためのレジスタと、

加数と被乗数と乗数との積和演算を行う積和演算器と、外部に接続された前記レジスタ内の異なる位置から入力される加数を選択的に入力する選択入力手段と、前記選択入力手段で選択的に入力される加数に基づいた前記積和演算器の積和演算結果に対してデータ幅の大きなデータをデータ幅の小さなデータへ変換する丸め処理を行う丸め処理手段と、前記丸め処理手段で丸め処理された前記積和演算結果を前記レジスタ内の異なる位置に選択的に出力する選択出力手段とを有する丸め機能付き積和演算器と、を備えた信号処理プロセッサ。

2. 前記丸め機能付き積和演算器は、前記選択入力手段で選択的に入力される加数に対してデータ幅の小さなデータをデータ幅の大きなデータへ変換する拡張処理を行って前記積和演算器へ入力する拡張処理手段さらに有する請求項1記載の信号処理プロセッサ。

3. 前記丸め処理手段は、外部からの丸め指示に基いて前記丸め処理を実行するよう構成されている請求項1記載の信号処理プロセッサ。

4. 前記選択入力手段は、前記レジスタから入力するデータの前記レジスタ内での位置を外部からの位置指示に基いて決定し、

前記選択出力手段は、前記レジスタへ出力するデータの前記レジスタ内での位置を前記位置指示に基いて決定するよう構成されている請求項1記載の信号処理プロセッサ。

5. 前記レジスタは、外部から読込んだデータを保持するための複数のレジスタからなる請求項1記載の信号処理プロセッサ。

6. 前記丸め機能付き積和演算器は、前記選択入力手段で選択的に入力さ

れる加数に対してデータ幅の小さなデータをデータ幅の大きなデータへ変換する拡張処理を行って前記積和演算器へ入力する拡張処理手段さらに有する請求項 5 記載の信号処理プロセッサ。

7. 前記丸め処理手段は、外部からの丸め指示に基づいて前記丸め処理を実行するよう構成されている請求項 5 記載の信号処理プロセッサ。

8. 前記選択入力手段は、前記レジスタから入力するデータの前記レジスタ内での位置を外部からの位置指示に基づいて決定し、

前記選択出力手段は、前記レジスタへ出力するデータの前記レジスタ内での位置を前記位置指示に基づいて決定するよう構成されている請求項 5 記載の信号処理プロセッサ。

9. 加数と被乗数と乗数との積和演算を行う積和演算器と、  
外部に接続されたレジスタ内の異なる位置から入力される加数を選択的に入力する選択入力手段と、

前記選択入力手段で選択的に入力される加数に基づいた前記積和演算器の積和演算結果に対してデータ幅の大きなデータをデータ幅の小さなデータへ変換する丸め処理を行う丸め処理手段と、

前記丸め処理手段で丸め処理された前記積和演算結果を前記レジスタ内の異なる位置に選択的に出力する選択出力手段とを有する丸め機能付き積和演算器。

10. 前記選択入力手段で選択的に入力される加数に対してデータ幅の小さなデータをデータ幅の大きなデータへ変換する拡張処理を行って前記積和演算器へ入力する拡張処理手段をさらに有する請求項 9 記載の丸め機能付き積和演算器。

11. 前記丸め処理手段は、外部からの丸め指示に基づいて前記丸め処理を

実行するよう構成されている請求項 9 記載の丸め機能付き積和演算器。

1 2. 前記選択入力手段は、前記レジスタから入力するデータの前記レジスタ内での位置を外部からの位置指示に基いて決定し、

前記選択出力手段は、前記レジスタへ出力するデータの前記レジスタ内での位置を前記位置指示に基いて決定するよう構成されている請求項 9 記載の丸め機能付き積和演算器。

1 3. 前記レジスタは、外部から読込んだデータを保持するための複数のレジスタからなる請求項 9 記載の丸め機能付き積和演算器。

1 4. 前記選択入力手段で選択的に入力される加数に対してデータ幅の小さなデータをデータ幅の大きなデータへ変換する拡張処理を行って前記積和演算器へ入力する拡張処理手段をさらに有する請求項 1 3 記載の丸め機能付き積和演算器。

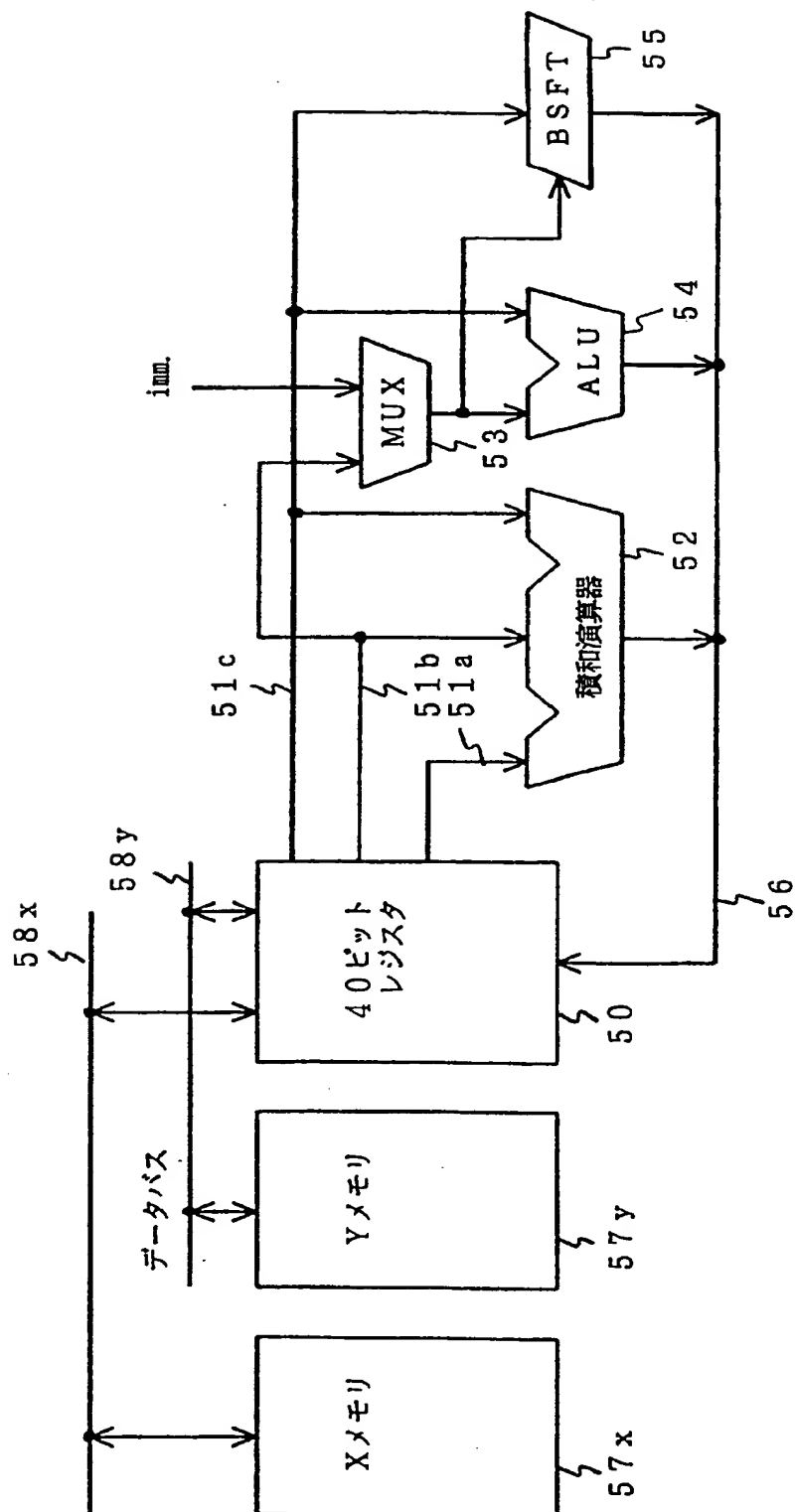
1 5. 前記丸め処理手段は、外部からの丸め指示に基いて前記丸め処理を実行するよう構成されている請求項 1 3 記載の丸め機能付き積和演算器。

1 6. 前記選択入力手段は、前記レジスタから入力するデータの前記レジスタ内での位置を外部からの位置指示に基いて決定し、

前記選択出力手段は、前記レジスタへ出力するデータの前記レジスタ内での位置を前記位置指示に基いて決定するよう構成されている請求項 1 3 記載の丸め機能付き積和演算器。

**THIS PAGE BLANK (USPTO)**

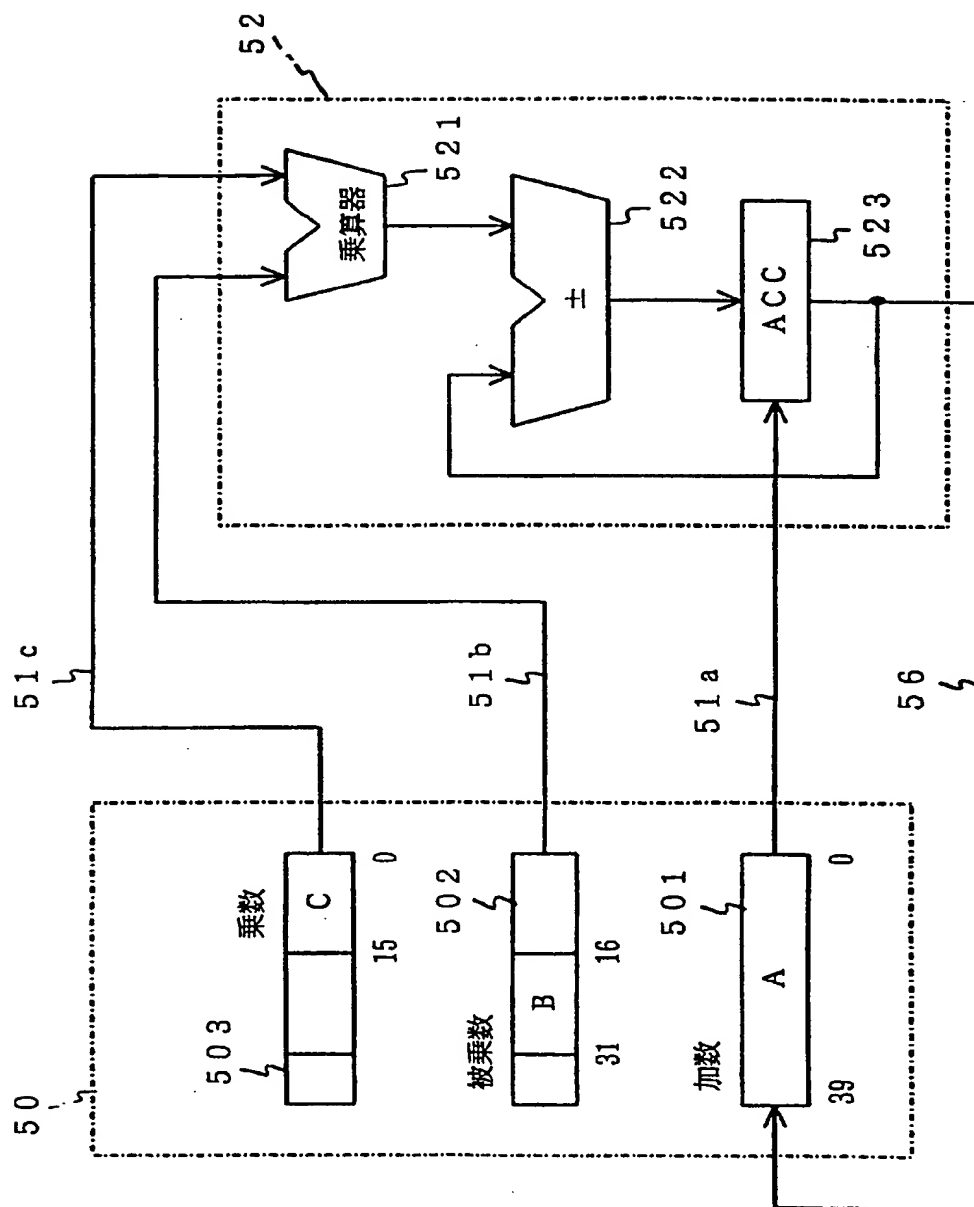
Fi s. 1



**THIS PAGE BLANK (USPTO)**

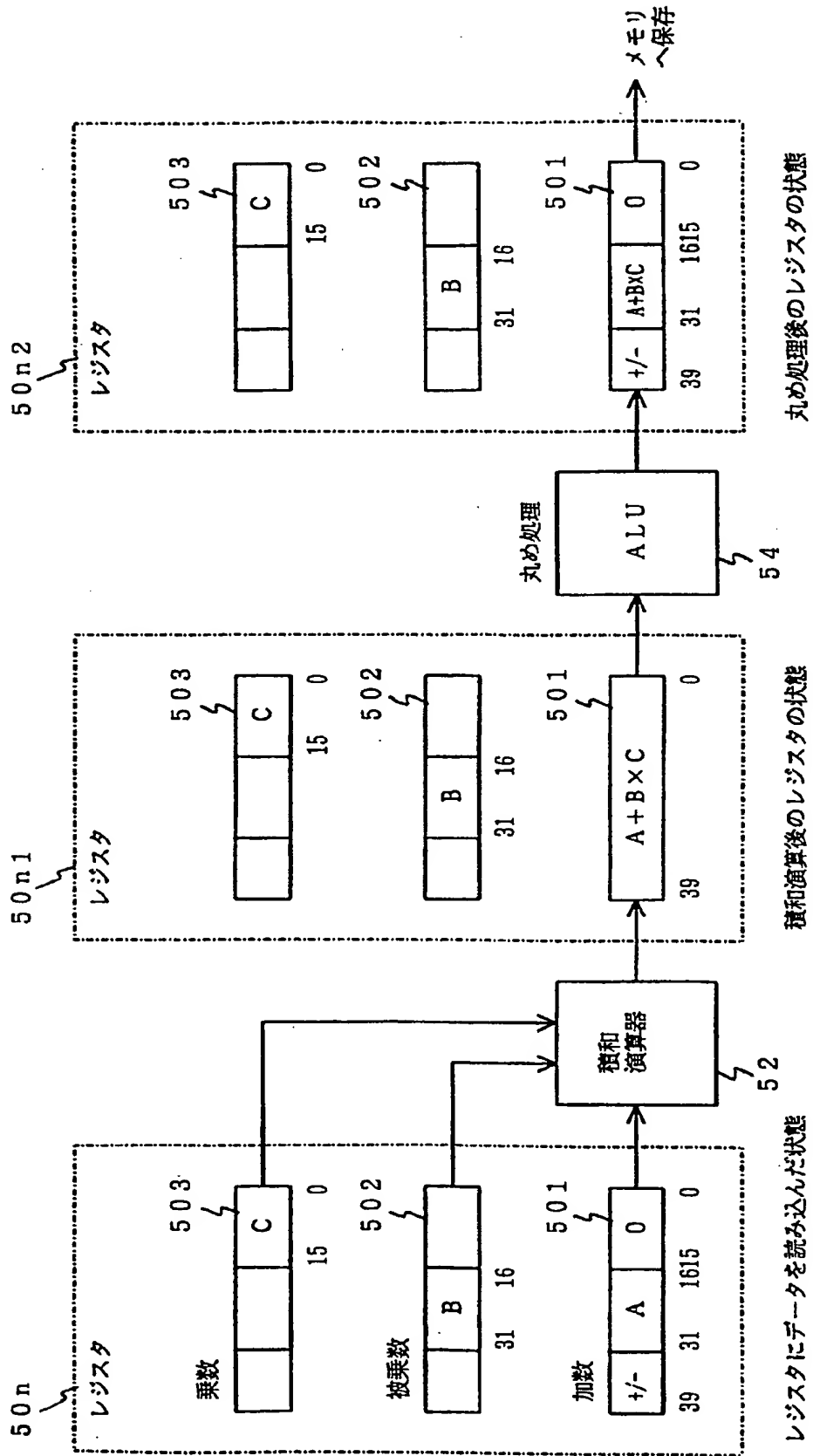


Fig. 2



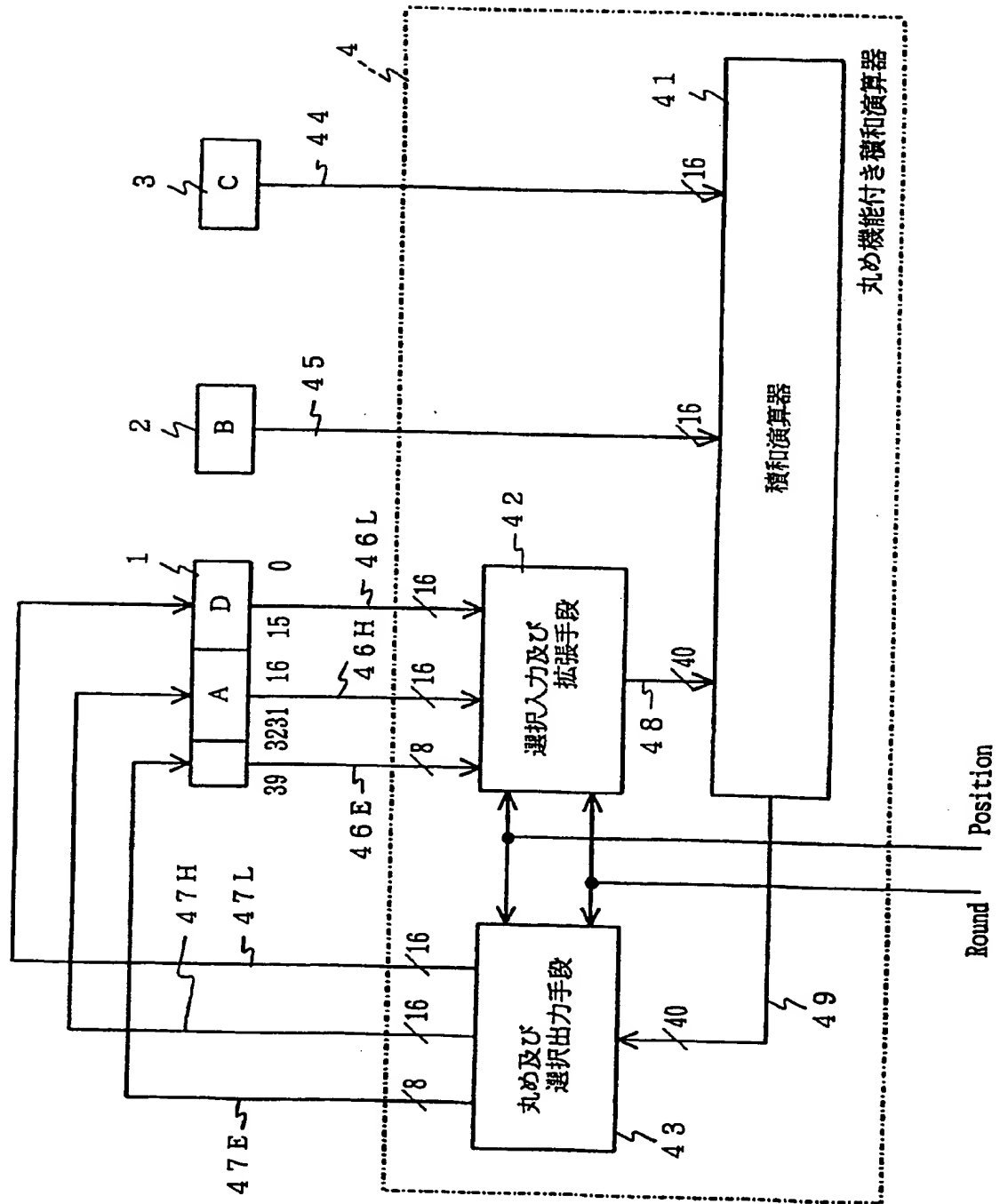
**THIS PAGE BLANK (USPTO)**

Fig. 3



**THIS PAGE BLANK (USPTO)**

Fig. 4



**THIS PAGE BLANK (USPTO)**

F i g . 5

制御信号		出力
Round	Position	
0	0	レジスタ1の39～0ビットをそのまま出力する
0	1	
1	0	レジスタ1の15～0ビットを40ビットデータへ拡張して出力する
1	1	レジスタ1の31～16ビットを40ビットデータへ拡張して出力する

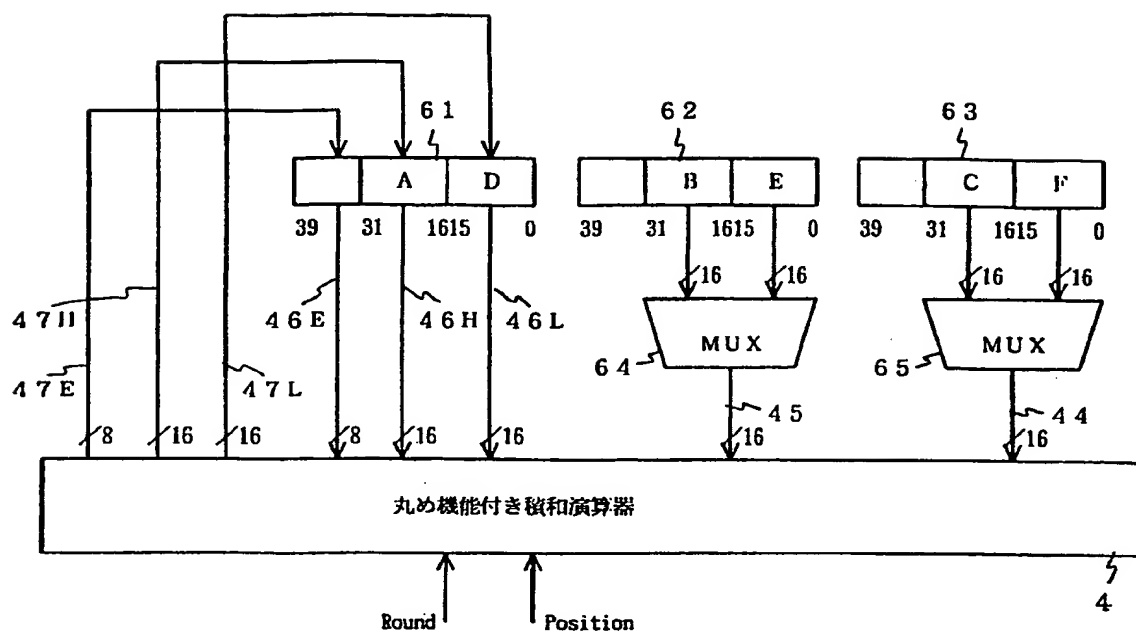
F i g . 6

制御信号		出力			備考
Round	Position	出力47E	出力47H	出力47L	
0	0	入力データ49の39～32ビット	入力データ49の31～16ビット	入力データ49の15～0ビット	入力データ49を丸め処理をせずそのままレジスタ1へ出力
0	1				
1	0	何も出力しない	何も出力しない	入力データ49を丸め処理した16ビットデータ	入力データ49を丸め処理してレジスタ1 15～0ビットへ出力
1	1	何も出力しない	入力データ49を丸め処理した16ビットデータ	何も出力しない	入力データ49を丸め処理してレジスタ1 31～16ビットへ出力

**THIS PAGE BLANK (USPTO)**

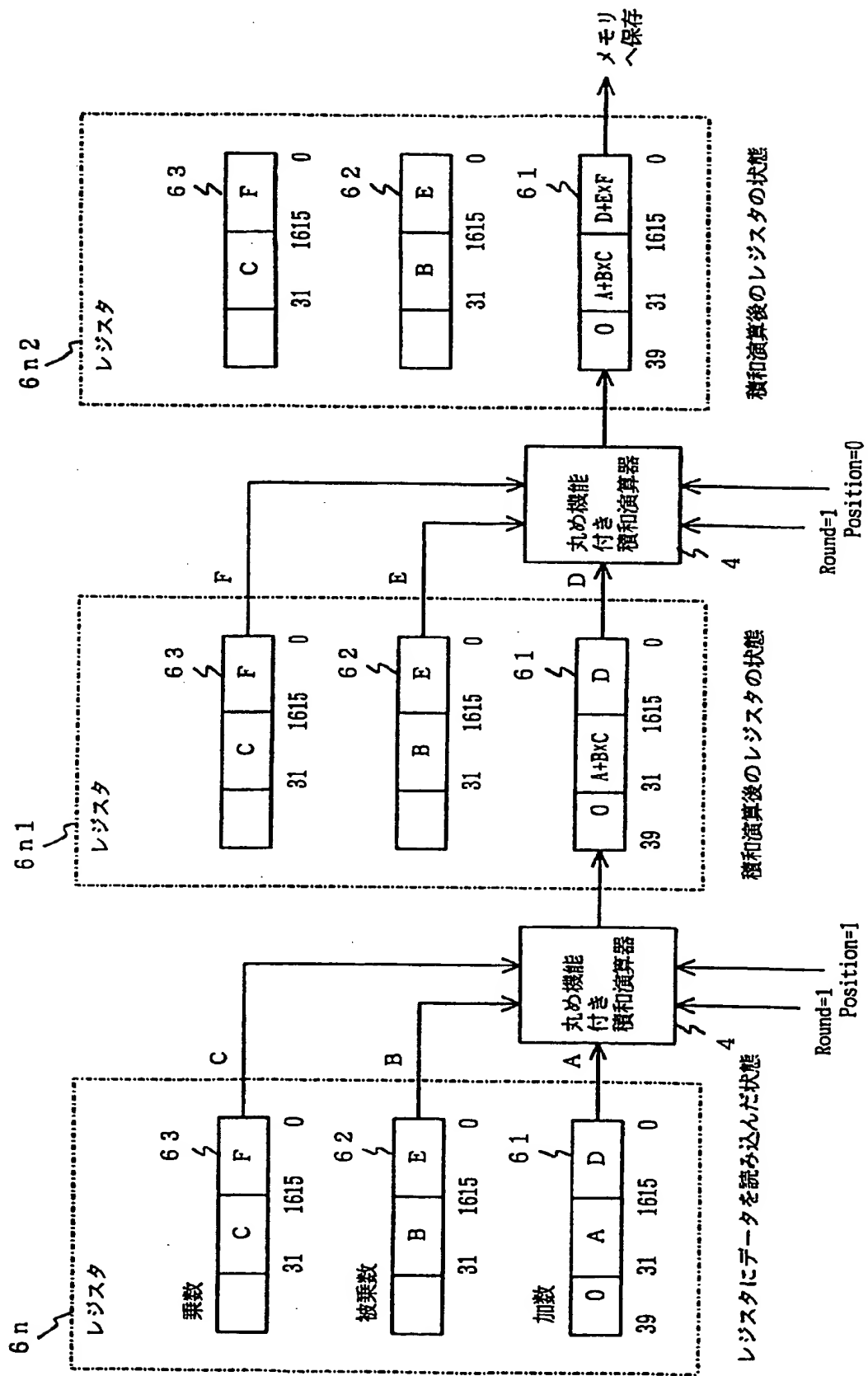


Fig. 7



**THIS PAGE BLANK (USPTO)**

Fig. 8



**THIS PAGE BLANK (USPTO)**

**THIS PAGE BLANK (USPTO)**